

## УДК 004.3

### ИССЛЕДОВАНИЕ ВЫСОКОУРОВНЕВЫХ МЕТОДОВ ПРЕДСТАВЛЕНИЯ ОРГАНИЗАЦИИ ЭЛЕМЕНТОВ ПРОЦЕССОРНЫХ ЯДЕР

Салонина Е.А. (Университет ИТМО)

Научный руководитель – Антонов А.А., к.т.н., доцент  
(Университет ИТМО)

**Введение.** Традиционный маршрут проектирования элементов процессорных ядер основывается на написании кода разработчиком на языках описания аппаратуры (HDL), примерами которых являются VHDL, Verilog, SystemVerilog и др. Однако, этот маршрут проектирования – на основе описания системы на уровне регистровых передач (RTL) и последующего синтеза – порождает ряд проблем.

Данные проблемы исходят из того, что перед разработчиком ставится задача, совмещающая как высокоуровневое рассмотрение процессов в проектируемой системе (например, алгоритм вычислений, синхронизация данных и т.д.), так и описание логики, реализующей эти процессы на уровне RTL (комбинационная логика, регистры и т.д.). Выявление проблем традиционного маршрута проектирования и разработка инструментов, позволяющих преодолеть эти ограничения, является актуальным для развития проектирования современного аппаратного обеспечения.

**Основная часть.** Для процесса разработки и анализа аппаратного обеспечения на основе описания на HDL были выявлены следующие проблемы:

- 1) Проблемы статического конфигурирования модулей на HDL. Перед разработчиком возникают дополнительные проблемы с тем, чтобы установить причинно-следственные связи между внешними ограничениями (например, требованиями заказчика или ограничения процесса производства), техническими решениями при проектировании микроархитектуры и используемыми в коде параметрами.
- 2) Проблемы работы с состояниями, представленными в виде описания на низком уровне на HDL. Поскольку все состояния представлены в виде синтаксически эквивалентных сигналов (что соответствует работе физической схемы), сложно зафиксировать как их функциональное назначение на высоком уровне (шина данных, сигнал для управления, контроль потока транзакций и т.д.), так и их зависимости друг от друга по данным. Проблема усугубляется тем, что аппаратным модулям характерен параллелизм, то есть одновременная циркуляция множества взаимодействующих между собой транзакций внутри аппаратной структуры
- 3) Проблемы отсутствия стандартных общепринятых способов описания коммуникационных протоколов (внутренних и внешних интерфейсов). Для разработки необходимо представлять, как используется интерфейс: могут ли быть одновременно несколько запросов, какие данные передаются, в какой форме ожидается ответ.
- 4) Явное разделение нормального поведения модуля (реализация основной функциональности) и реакции на исключительные ситуации.

В качестве решения этих проблем были проанализированы следующие категории инструментов:

- 1) Использование средств программно-управляемой генерации кода (Hardware Construction Languages)
- 2) Явное отделение синтезируемой функциональной спецификации модуля (высокоуровневый синтез).
- 3) Использование готовых библиотек компонентов на уровне регистровых передач.
- 4) Введение стандартов написания кода, единых для всей разрабатываемой системы.

Для решения выявленных проблем предлагается обобщенный маршрут проектирования аппаратных подсистем процессоров, явным образом адаптированный под расширение функциональности, анализ поведения и оптимизацию нефункциональных свойств проектируемой аппаратуры. Данный маршрут основан на выделении на ранней стадии

проектирования микроархитектурных свойств проектируемой аппаратуры, таких как как допустимые топологии интеграции аппаратных компонентов, аппаратные события и механизмы синхронизации данных. Апробация данного маршрута, выполненная для отдельных подсистем процессора с архитектурой RISC-V (векторный сопроцессор, подсистема виртуальной памяти), подтвердила существенное улучшение гибкости и масштабируемости проекта аппаратуры, а также предсказуемости процесса проектирования.

**Выводы.** Выявлены проблемы традиционного маршрута проектирования. Рассмотрены существующие инструменты высокоуровневого проектирования с точки зрения эффективности решения выявленных проблем. Предложен оригинальный маршрут проектирования на основе раннего явного выделения микроархитектурных аспектов проектируемой аппаратуры.

#### **Список использованных источников:**

1. Lee Y. et al. An Agile Approach to Building RISC-V Microprocessors // IEEE Micro, vol. 36, no. 2. — 2016. — P. 8-20.
2. Martin G., Smith G. High-Level Synthesis: Past, Present, and Future // IEEE Design & Test of Computers, vol. 26, no. 4. — 2009. — P. 18-25.
3. Zhao J. et al. COBRA: A Framework for Evaluating Compositions of Hardware Branch Predictors // 2021 IEEE International Symposium on Performance Analysis of Systems and Software (ISPASS) — 2021. — P. 310-320

Салонина Е.А. (автор)

Подпись

Антонов А.А. (научный руководитель)

Подпись