

УДК 004.27

ИССЛЕДОВАНИЕ РЕКОНФИГУРИРУЕМОСТИ АРХИТЕКТУРЫ RISC-V

Тишук Б.Ю. Университет ИТМО

Научный руководитель – к.т.н, доцент Кустарев П.В.

Университет ИТМО

В настоящее время одной из наиболее актуальных задач в вычислительной технике является разработка и внедрение в практику проектирования методов, технологий и инструментария аппаратного реконфигурирования вычислительных устройств, выполняемого на различных стадиях функционирования систем и нацеленного на достижение максимальной эффективности по производительности, энергопотреблению, цене или по комплексному критерию применительно к конкретной задаче. В рамках обозначенной проблематики в данной работе проводится исследование возможностей реконфигурирования процессоров с перспективной открытой архитектурой RISC-V.

Введение. В настоящее время наблюдается рост числа вычислительных задач, для решения которых традиционная «память-центрированная» архитектура фон Неймана неэффективна. К таким задачам относятся большинство естественно-распараллеливаемых детерминированных вычислений: потоковая обработка данных при большой скорости входного потока, задачи глубокого машинного обучения, биоинформатики, анализа сетевого трафика. Аппаратно-реконфигурируемые процессоры, реализующие алгоритмы (частично или целиком) через формирование системы связанных функциональных блоков, являются одним из альтернативных вариантов архитектуры.

Основная часть. Преимущество реконфигурируемых систем в приложениях, где требуется высокая производительность состоит в том, что они сочетают в себе гибкость, присущую программируемым процессорам, и быстродействие с параллелизмом, присущие непрограммируемым аппаратным блокам. Мощность данного эффекта определяется сочетанием и балансом организации вычислительного процесса (сутью решаемой задачи) и уровня, на котором реализуется реконфигурирование, реализующее вычисления.

Выделяются несколько уровней реконфигурирования вычислителей: микроархитектурный, архитектурный, системный, сетевой.

Спецификация архитектуры RISC-V определяет систему команд (ISA), систему прерываний, доступ к памяти и подсистему ввода-вывода. На архитектурном уровне возможности по реконфигурации состоят в добавлении стандартных расширений набора инструкций и возможность создавать собственные расширения регистровой структуры, встроенного монитора производительности и других функциональных подсистем. При этом к подсистемам ввода-вывода и памяти определено минимальное количество требований совместимости, что дает максимальную свободу их построения и перестроения.

Аналогично и на уровне микроархитектуры: RISC-V не фиксирует ее, что дает максимальные возможности реконфигурирования, лишь бы был соблюден стандарт архитектуры.

RISC-V не определяет системный и сетевой уровни вычислительной системы. На этих уровнях системы могут быть гетерогенны и содержать в себе процессорные ядра RISC-V. Из этого следует, что реконфигурируемость на сетевом и системном уровнях не ограничивается, но и не стимулируется, не поддерживается идеологией RISC-V.

Выводы. В данной работе показаны значимость и эффект реконфигурации вычислительных систем. Исследованы и описаны возможности, которые в этом вопросе предоставляет спецификация RISC-V. Установлено, что хотя RISC V не специализирована для реализации

конфигурируемых аппаратных вычислителей, но ее кроссплатформенный характер (в плане микроархитектурной платформы) и открытость к расширениям делают ее подходящей для исследования методов и подходов аппаратной реконфигурации микропроцессоров.

Тищук Б.Ю. (автор)

Кустарев П.В. (научный руководитель)